



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0086019  
Application Number

출원년월일 : 2002년 12월 28일  
Date of Application DEC 28, 2002

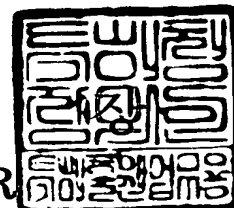
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      02      월      24      일

특      허      청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0015  
**【제출일자】** 2002.12.28  
**【발명의 명칭】** 반도체 소자의 키 정렬 방법  
**【발명의 영문명칭】** METHOD FOR ALIGNING KEY IN SEMICONDUCTOR DEVICE  
**【출원인】**  
**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【명칭】** 특허법인 아주(대표변리사 정은섭)  
**【대리인코드】** 9-2001-100005-9  
**【지정된변리사】** 정은섭  
**【포괄위임등록번호】** 2001-071442-5  
**【발명자】**  
**【성명의 국문표기】** 한일석  
**【성명의 영문표기】** HAN, Il Seok  
**【주민등록번호】** 690927-1047325  
**【우편번호】** 467-850  
**【주소】** 경기도 이천시 대월면 사동리 현대6차아파트 602-604  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 아주(대표변리사 정은섭) (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 1 면 1,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 12 항 493,000 원  
**【합계】** 523,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 소오스/드레인 정선을 게이트 형성 전에 형성함으로써, 고에너지 이온 주입과 고온의 프로세스 적용의 제약을 극복할 수 있는 반도체 소자의 소오스/드레인 구조를 형성하는 방법을 제공하는 것이다. 반도체 소자의 키 정렬 방법은 스크라이브 라인 영역과 메인 칩 영역으로 구분된 반도체 기판을 준비하는 단계와, 반도체 기판 상에 정렬키를 형성하기 위한 산화막을 증착하는 단계와, N웰 이온주입 마스크를 이용하여 산화막을 선택적으로 식각하여 스크라이브 라인 영역에 영역키(area key) 및 제 1 정렬키(align key)를 동시에 형성하는 단계와, 산화막이 제거된 영역에 N웰 이온주입을 실행하는 단계와, P웰 이온주입 마스크를 이용하여 N웰 공정시 산화막 제거로 이미 설정이 완료된 영역키 내부에 P웰 마스크를 이용한 실리콘 식각을 이용하여 제 2 정렬키를 형성하는 단계를 포함한다.

**【대표도】**

도 2g

**【색인어】**

정렬키, 영역키, 이중 산화막/실리콘 식각

## 【명세서】

## 【발명의 명칭】

반도체 소자의 키 정렬 방법 {METHOD FOR ALIGNING KEY IN SEMICONDUCTOR DEVICE}

## 【도면의 간단한 설명】

도 1a 내지 도 1f는 종래의 기술에 따른 반도체 소자의 키 정렬 방법을 도시한 단면도들이다.

도 2a 내지 도 2g에서 본 발명의 바람직한 실시예에 따른 산화막/실리콘 이중 식각 공정을 이용하는 반도체 소자의 키 정렬 방법을 설명하기 위한 단면도들을 도시한다.

도 3a 및 도 3c는 도 2a 내지 2g에 도시된 본 발명의 바람직한 실시예에 따른 산화막/실리콘 이중 식각 공정을 이용하는 반도체 소자의 키 정렬 방법에 의하여 형성된 정렬키의 평면도들이다.

- 도면의 주요부분에 대한 부호의 설명 -

110 : 반도체 기판    111 : 스크라이브 라인 영역

112 : 메인 칩 영역    120 : 산화막

200 : 제 1 정렬키    210 : 영역키

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 보다 상세하게는, 반도체 키 공정시 후속 포토 공정에서 오정렬(misalign)을 방지하기 위한 반도체 소자의 키 정렬 방법에 관한 것이다.
- <9> 일반적으로, 종래의 반도체 키(key) 공정시 후속 포토 공정에서 오정렬(misalign)을 방지하기 위해 사용되는 키 형성 공정에 관한 것이다.
- <10> 일반적으로 종래의 키(key) 공정은 부가적인 레티클(reticle) 및 추가 공정을 이용하여 후속으로 진행되는 N웰 이온 주입용 포토 공정, P웰 이온 주입용 포토 공정 및 소자의 국부적 아이솔레이션용 포토 공정 진행시 키 오정렬을 방지하기 위한 방법으로 메인 칩과 메인 칩 사이의 스크라이브 라인(scribe lane)에 정렬키(alignment key)를 실리콘 식각하여 형성한 후 사용하였다.
- <11> 전술한, 스크라이브 라인이란 가공된 웨이퍼에서 칩을 조립(assembly)하기 위하여 다이(die)를 절단하며 주변 소자의 영향을 주지 않고 절단할 수 있도록 적당한 폭의 공간이다.
- <12> 이러한, 스크라이브 라인의 크기는 테스트 패턴의 넓이에 따라 스크라이브 라인이 100  $\mu\text{m}$ 에서 240  $\mu\text{m}$ 까지 적용되며 다이 크기가 작을수록 스크라이브 라인 폭이 실제의 유효한 다이 개수에 적지 않은 영향을 주기 때문에 주로 100  $\mu\text{m}$  또는 120  $\mu\text{m}$  넓이로 스크라이브 라인을 만든다.

- <13> 또한, 스크라이브 레인에는 테스트 패턴 이외에 포토 공정의 진행을 위한 다양한 형태의 웨이퍼 정렬키가 삽입되며 레이저 스텝 정렬 마크, 필드 이미지 정렬 마크, K-TV, 다이를 안착시키기 위한 타겟(targer), 오버레이 버니어, 디스토션 버니어, 로테이션 버니어 등 스텝퍼(stepper)의 종류에 다양한 모양이 존재한다.
- <14> 도 1a 내지 도 1f는 종래의 기술에 따른 반도체 소자의 키 정렬 방법을 도시한 단면도들이다.
- <15> 먼저, 도 1a에 도시한 바와 같이, 반도체 기판(10) 상에 후속 이온주입 공정 진행 시 실리콘 표면의 손상을 방지하기 위한 산화막(20)을 증착시킨다. 반도체 기판(10)은 두 가지 부분으로 나누어 지는데, 이는 스크라이브 레인 영역(11)과 메인 칩 영역(12)이다. 스크라이브 레인 영역(11)에는 웨이퍼 정렬키(60)가 형성되면 메인 칩 영역(12)에는 반도체 소자가 형성된다.
- <16> 도 1b에 도시한 바와 같이, 산화막(10) 상에 후속 포토 공정 진행시 키 정렬을 위한 키 포토 공정을 실시하게 되며, 키 레티클을 이용한 선택적 실리콘 식각 공정을 실시하여 실리콘 웨이퍼(10)에 정렬키(60)을 형성시킨다. 이때, 메인 칩 영역(12)은 포토레지스트(30)가 잔류하게 되며 스크라이브 레인 영역(11)에 만 실리콘 표면과 단차가 대략 500~1500 Å 정도 발생하도록 실리콘 식각을 실시한다.
- <17> 도 1c에서 도시한 바와 같이, 실리콘 웨이퍼(10)에 형성된 웨이퍼 정렬키(60)를 이용하여 N웰 포토 공정 진행시 오정렬 없이 정확히 진행되며 메인 칩 영역(12)의 특정 N웰 개방 영역에 N웰 포토레지스트(40)를 이용한 이온주입이 된다.

- <18> 도 1d에 도시한 바와 같이, 이온주입 공정 진행후 포토레지스트 제거 공정을 실시한다.
- <19> 도 1e에서 도시한 바와 같이, N웰 공정 진행 후, P웰 포토레지스트(50)를 이용한 P웰 이온 주입공정을 진행하게 되며 이때 키 정렬은 도 1b에서 실리콘 웨이퍼(10) 상에 형성한 정렬키(60)를 이용하여 실시하게 된다.
- <20> 도 1f에서 도시한 바와 같이, 도 1e에서 P웰 이온 주입 공정을 위한 P웰 포토레지스트(50)을 제거하여 N/P웰 공정을 완료하게 된다.
- <21> 이후에 실시되는 소자의 국부적 아이솔레이션을 위한 포토 공정 역시 도 1b에 형성한 정렬키(60)를 이용한다.
- <22> 도 1a 내지 도 1f를 참조하여 전술한 종래의 기술에 따른 반도체 소자의 키 정렬 방법은 키 포토 공정 및 선택적 식각 공정을 추가로 진행해야 하며, 키 포토 공정을 진행을 위하여 별도로 레티클을 제작해야 하는 단점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <23> 본 발명은 상기와 같은 문제점을 해결하기 위해 창작된 것으로서, 본 발명의 주 목적은 종래의 반도체 키 공정시 후속 포토 공정에서 오정렬을 방지할 수 있으며, 특히, 종래의 키 포토 및 식각 공정을 생략하여 추가적인 레티클 제작 비용 없이 종래에 사용하는 N웰 및 P웰 레티클 및 종래 공정을 이용하여 산화막/실리콘 이중 식각 공정을 이용하는 반도체 소자의 키 정렬 방법을 제공하는 것이다.

- <24> 또한, 본 발명의 다른 목적은 N웰 이온 주입 마스크를 이용하여 웨이퍼 전면에 증착 완료한 산화막을 선택적 식각 방법으로 스크라이브 라인 영역에 영역키(area key) 및 1차 정렬키를 동시에 형성할 수 있는 반도체 소자의 키 정렬 방법을 제공하는 것이다.
- <25> 또한, 본 발명의 다른 목적은 산화막이 제거된 영역에 종래의 반도체 소자의 제조 공정과 동일하게 N웰 이온 주입을 실시할 수 있는 반도체 소자의 키 정렬 방법을 제공하는 것이다.
- <26> 또한, 본 발명의 다른 목적은 P웰 이온 주입 마스크를 이용하여 N웰 공정시 산화막 제거로 이미 형성이 완료된 영역키 내부에 P웰 마스크를 이용한 산화막/실리콘 이중 식각의 실리콘 식각 방법을 이용하여 2차 정렬키를 형성하여 후속 포토 공정 진행시 오정렬을 방지할 수 있는 반도체 소자의 키 정렬 방법을 제공하는 데 있다.

#### 【발명의 구성 및 작용】

- <27> 상기와 같은 목적을 실현하기 위한 본 발명은 스크라이브 라인 영역과 메인 칩 영역으로 구분된 반도체 기판을 준비하는 단계와, 상기 반도체 기판 상에 정렬키를 형성하기 위한 산화막을 증착하는 단계와, N웰 이온주입 마스크를 이용하여 상기 산화막을 선택적으로 식각하여 상기 스크라이브 라인 영역에 영역키(area key) 및 제 1 정렬키(align key)를 동시에 형성하는 단계와, 상기 산화막이 제거된 영역에 N웰 이온주입을 실행하는 단계와, P웰 이온주입 마스크를 이용하여 N웰 공정시 상기 산화막 제거로 이미 설정이 완료된 영역키 내부에 P웰 마스크를 이용한 실리콘 식각을 이용하여 제 2 정렬키



를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 키 정렬 방법을 제공한다.

<28> 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이다.

<29> 도 2a 내지 도 2g, 도 3a 및 도 3b는 본 발명의 바람직한 실시예에 따른 산화막/실리콘 이중 식각 공정을 이용하는 반도체 소자의 키 정렬 방법을 도시한 단면도 및 평면도들이다.

<30> 도 2a 내지 도 2g에서 본 발명의 바람직한 실시예에 따른 산화막/실리콘 이중 식각 공정을 이용하는 반도체 소자의 키 정렬 방법을 설명하기 위한 단면도들을 도시한다.

<31> 먼저, 도 2a에 도시한 바와 같이, 반도체 기판(110) 상에 산화막(120)을 대략 800~1500 Å 정도의 두께로 증착한다. 이때, 산화막(120)은 후속 실리콘 식각 공정을 진행하는 동안 식각 방지막으로 이용됨으로써, 본 발명의 바람직한 실시예에서는 종래 기술에 비하여 500 Å 이상 두껍게 증착하였다.

<32> 그리고, 도 2b에 도시한 바와 같이, 선택적으로 N웰 이온 주입을 소정의 영역에 진행하기 위하여 N웰 포토 공정을 실시한다. 이때, 종래의 방법에서는 네인 칩 영역(12)의 특정 부분에 만 N웰이 노출되며, 스크라이브 라인 영역(11)에서는 후속 키 정렬을 위한 키 형성 공정은 없었다. 반면, 본 발명의 바람직한 실시예에

서는, N웰 포토 공정을 이용한 산화막(120) 식각 방법으로 스크라이브 라인 영역(111)에 정렬키를 형성하게 되며, 이러한 스크라이브 영역(111)은 넓게 완전히 노출된 형태의 영역키(210)가 형성되는 영역(114)과 1차 정렬키(200)이 형성되는 영역(113)으로 구분된다.

<33> 따라서, 본 발명의 바람직한 실시예에 따르면, N웰 레티클 제작시 종래의 N웰 이온 주입이 진행되는 메인 칩 영역(12)의 N웰 이온 주입이 되는 부분 이외의 스크라이브 레인에 전술한 2개의 키를 삽입하여 레티클을 제작하면 추가적인 비용 없이도 공정의 진행이 가능하다.

<34> 이어서, 도 2c에 도시한 바와 같이, 영역키 형성영역(114)은 N웰 이온 주입 공정을 이용한 선택적 식각 공정으로, 산화막(120)을 실리콘 표면이 완전히 노출된 영역키(210)가 형성되며, 동시에 1차 정렬키 형성 영역(113)에는 선택적 식각에 의한 산화막 단차로 인한 1차 정렬키(200)이 형성된다.

<35> 본 발명의 바람직한 실시예에 따르면, N웰 포토 및 선택적 식각 방법으로 형성되는 영역키(210)는 정방향 형태로 40  $\mu\text{m}$  내지 90  $\mu\text{m}$ 의 크기를 갖고, 스크라이브 라인(111)의 제 2 정렬키(220)가 형성될 부분의 산화막(120)은 제거된다.

<36> 이후 메인 칩 영역(112) 및 산화막(120)이 없는 스크라이브 라인 영역(111)에는 N웰 이온 주입 공정이 동시에 진행된다. 그러나, 전술한 N웰 이온 주입이 진행된 스크라이브 라인의 키 형성 부분은 반도체 소자가 형성되는 부분이 아니므로 문제가 되지 아니한다.

- <37> 다음 단계로, 도 2d에 도시한 바와 같이, 사용한 N웰 포토레지스트(140)를 제거하여 N웰 형성 공정을 완료한다.
- <38> 그리고, 도 2e에 도시한 바와 같이, N웰 포토 공정 진행 후 P웰 포토 공정을 진행하게 되며, 이때 포토 공정을 위한 웨이퍼 정렬은 N 웰 포토 공정을 이영한 선택적 식각 곧엿으로 형성한 1차 정렬키(200)을 이용하여 진행한다. 이후, P웰 포토 공정은 메인 칩 영역(112)의 P웰이 형성될 영역과 동시에 도 2b에서 형성한 영역키 영역(114)에도 LOCOS 포토 공정 등의 후속 키정렬을 위한 2차 정렬키(220) 형성 공정을 진행한다.
- <39> 이어서, 도 2g에 도시한 바와 같이, 메인 칩 영역(112)의 P 웰이 형성될 영역은 산화막(120)이 남아있는 지역으로 후속 P 웰 이온주입을 위한 산화막(120)을 선택적으로 식각을 하여 실리콘 웨이퍼(110)가 노출되도록 식각을 진행한다. 이때, 영역키 형성 영역(214)에는 추가적인 정렬키(220) 형성을 위한 포토레지스트가 존재하며, P 웰 이온주입을 위한 선택적 식각시 산화막(120)이 식각되는 대신 실리콘 웨이퍼의 표면이 식각된다.
- <40> 따라서, 공정 추가 없이 실리콘 표면에 후속 포토 공정 진행을 위한 2차 정렬키(220)을 만들 수 있으며, 이후 이온주입으로 P 웰을 형성한다.
- <41> 그리고 나서, 도 2g에 도시한 바와 같이, 도 2f에서 사용된 P 웰 포토레지스트(150)을 제거하여 공정을 완료한다. 이후 LOCOS 등의 후속 포토 공정은 영역키 형성 영역(114)에 형성된 2차 정렬키(220)을 이용하여 진행을 할 수도 있다.
- <42> 본 발명의 바람직한 실시예에 따르면, P웰 공정시 스크라이브 라인 영역(111) 상에 형성되는 제 2 정렬키(220)의 모양은 제 1 정렬키(200)와 동일한 형태를 가짐으로써,

LOCOS 등의 후속 포토 공정 진행시 제 2 정렬키(220)를 이용한 마스크 정렬이 가능하다.

<43> 도 3a 및 도 3c는 도 2a 내지 2g에 도시된 본 발명의 바람직한 실시예에 따른 산화막/실리콘 이중 식각 공정을 이용하는 반도체 소자의 키 정렬 방법에 의하여 형성된 정렬키의 평면도들이다.

<44> 본 발명의 바람직한 실시예는 반도체 공정에서 정렬을 필요로 하는 모든 공정에 적용하여 본 발명의 목적을 얻을 수 있다.

#### 【발명의 효과】

<45> 상기한 바와 같이, 본 발명은 종래의 반도체 키 공정시 후속 포토 공정에서 오정렬을 방지할 수 있으며, 특히, 종래의 키 포토 및 식각 공정을 생략하여 추가적인 레티클 제작 비용 없이 종래에 사용하는 N웰 및 P웰 레티클 및 종래 공정을 이용하여 산화막/실리콘 이중 식각 공정을 이용할 수 있는 효과가 있다.

<46> 또한, 본 발명은 N웰 이온 주입 마스크를 이용하여 웨이퍼 전면에 증착 완료한 산화막을 선택적 식각 방법으로 스크라이브 라인 영역에 영역키(area key) 및 1차 정렬키를 동시에 형성할 수 있는 장점이 있다.

<47> 그리고, 본 발명은 산화막이 제거된 영역에 종래의 반도체 소자의 제조 공정과 동일하게 N웰 이온 주입을 실시할 수 있는 장점이 있다.

<48> 더욱이, 본 발명은 P웰 이온 주입 마스크를 이용하여 N웰 공정시 산화막 제거로 이미 형성이 완료된 영역키 내부에 P웰 마스크를 이용한 산화막/실리콘 이중

식각의 실리콘 식각 방법을 이용하여 2차 정렬키를 형성하여 후속 포토 공정 진행시 오정렬을 방지할 수 있는 효과가 있다.

<49> 또한, 본 발명은 후속 포토 공정 진행시 스크라이브 레인에 형성된 2차 정렬키를 이용하여, 키 레티클을 이용한 포토 공정 없이도 정확한 정렬이 가능한 효과가 있다.

**【특허청구범위】****【청구항 1】**

스크라이브 레인 영역과 메인 칩 영역으로 구분된 반도체 기판을 준비하는 단계와,

상기 반도체 기판 상에 정렬키를 형성하기 위한 산화막을 증착하는 단계와,

N웰 이온주입 마스크를 이용하여 상기 산화막을 선택적으로 식각하여 상기 스크라이브 레인 영역에 영역키(area key) 및 제 1 정렬키(align key)를 동시에 형성하는 단계와,

상기 산화막이 제거된 영역에 N웰 이온주입을 실행하는 단계와,

P웰 이온주입 마스크를 이용하여 N웰 공정시 상기 산화막 제거로 이미 설정이 완료된 영역키 내부에 P웰 마스크를 이용한 실리콘 식각을 이용하여 제 2 정렬키를 형성하는 단계를

포함하는 것을 특징으로 하는 반도체 소자의 키 정렬 방법.

**【청구항 2】**

제 1항에 있어서, 상기 실리콘 식각 단계에서 산화막과 실리콘이 이중으로 식각되는 것을 특징으로 하는 반도체 소자의 키 정렬 방법.

**【청구항 3】**

제 1항에 있어서, 상기 N웰 형성 공정시 상기 산화막의 두께는 대략 800~1500 Å 정도로 증착되는 것을 특징으로 하는 반도체 소자의 키 정렬 방법.

**【청구항 4】**

제 1항에 있어서, 상기 N웰 이온을 주입하는 단계 이전에, 상기 N웰 이온주입 마스크로 사용된 포토레지스트를 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 키 정렬 방법.

**【청구항 5】**

제 1항에 있어서, 상기 P웰 이온을 주입하는 단계 이전에, 상기 P웰 이온주입 마스크로 사용된 포토레지스트를 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 키 정렬 방법.

**【청구항 6】**

제 1항에 있어서, 상기 메인 칩 영역에 대한 N웰 선택적 식각 공정 진행시 동시에 스크라이브 라인 영역을 선택적으로 식각하여 상기 산화막의 단차를 이용한 상기 영역키 및 상기 제 1 차 정렬키를 동시에 형성하는 것을 특징으로 하는 반도체 소자의 키 정렬 방법.

**【청구항 7】**

제 1항에 있어서, 상기 N웰 포토 및 선택적 식각 방법으로 형성되는 상기 영역키는 정방향 형태로 40  $\mu\text{m}$  내지 90  $\mu\text{m}$ 의 크기를 갖고, 상기 스크라이브 레인의 상기 제 2 정렬키가 형성될 부분의 상기 산화막은 제거하는 것을 특징으로 하는 반도체 소자의 키 정렬 방법.

**【청구항 8】**

제 1항에 있어서, 상기 P웰 포토 공정시 반도체 기판의 정렬은 스크라이브 레인 상에 형성된 상기 제 1 정렬키를 이용하여 정렬하며, 이후 P웰 이온 주입 포토를 이용한 산화막 선택적 식각시 N웰 포토 공정을 이용하여 상기 산화막을 제거한 상기 영역키 내에 상기 제 2 정렬키를 형성하는 것을 특징으로 하는 반도체 소자의 키 정렬 방법.

**【청구항 9】**

제 1항에 있어서, 상기 P웰 포토 공정시 상기 스크라이브 레인 영역 상에 형성될 상기 제 2 정렬키는 상기 제 1 정렬키 정렬을 통하여 상기 산화막이 제거된 상기 영역키 내에 정확히 정렬되는 것을 특징으로 하는 반도체 소자의 키 정렬 방법.



**【청구항 10】**

제 9항에 있어서, 상기 P웰 이온 주입을 위한 상기 산화막 제거 공정을 이용하여 상기 제 2 정렬키를 패턴으로 하는 실리콘 식각이 상기 산화막 식각과 동시에 진행되는 것을 특징으로 하는 반도체 소자의 키 정렬 방법.

**【청구항 11】**

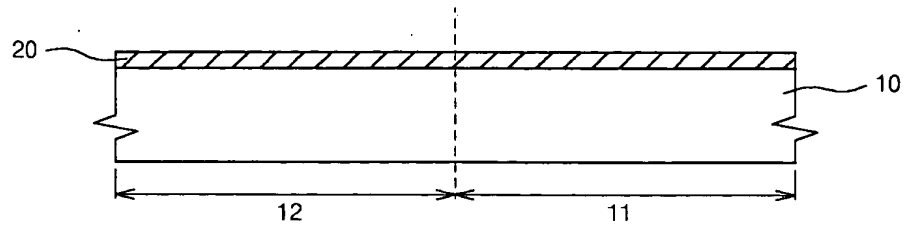
제 9항에 있어서, 상기 제 2 정렬키의 형성을 위한 상기 실리콘 식각이 산화막대 실리콘의 식각 선택비가 약 0.8 내지 1.2 정도로 진행됨으로써, 상기 제 2 정렬키가 패터닝되는 부분의 실리콘은 약 800~1500 Å 정도로 식각 하는 것을 특징으로 하는 반도체 소자의 키 정렬 방법.

**【청구항 12】**

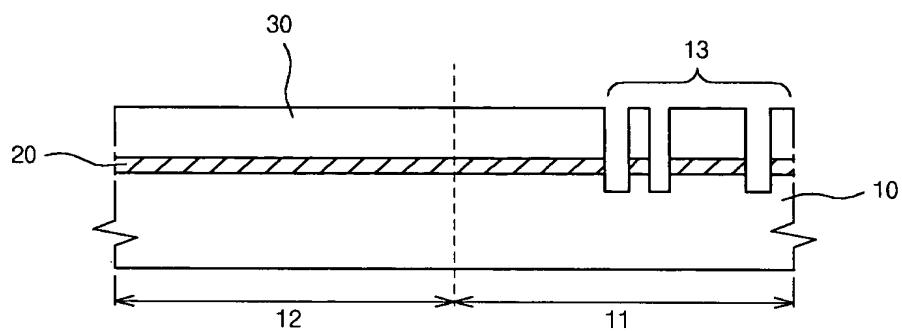
제 9항에 있어서, 상기 P웰 공정시 상기 스크라이브 라인 영역 상에 형성되는 상기 제 2 정렬키의 모양은 상기 제 1 정렬키와 동일한 형태를 가짐으로써, LOCOS 등의 후속 포토 공정 진행시 상기 제 2 정렬키를 이용한 마스크 정렬이 가능한 것을 특징으로 하는 반도체 소자의 키 정렬 방법.

## 【도면】

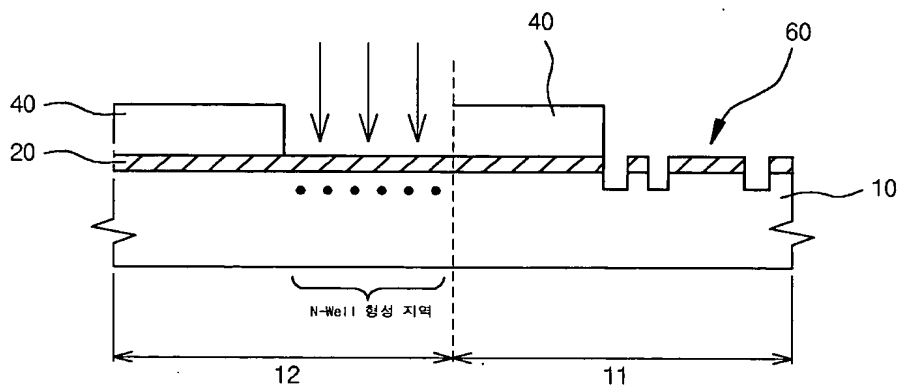
【도 1a】



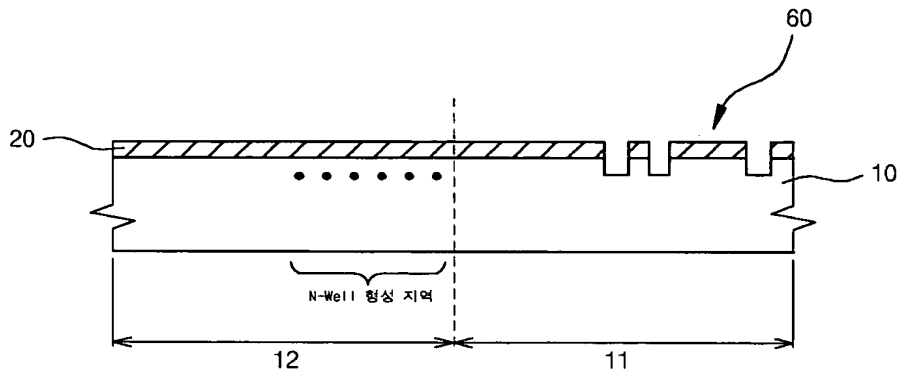
【도 1b】



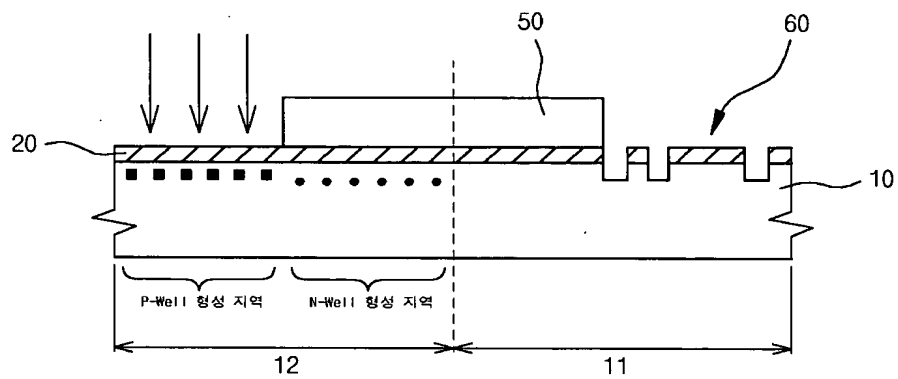
【도 1c】



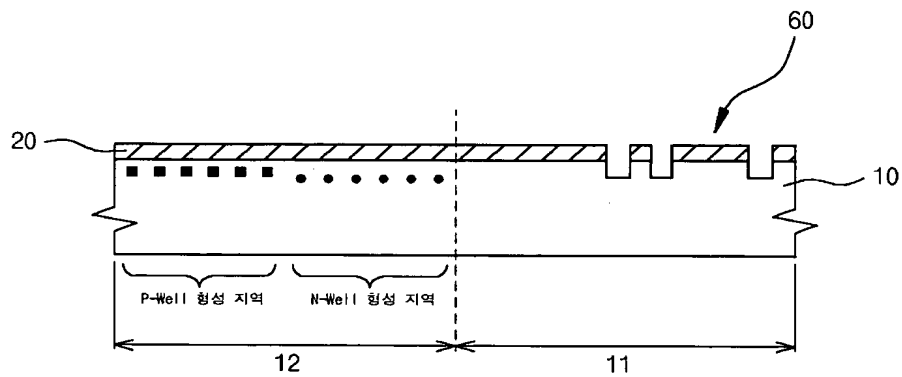
【도 1d】



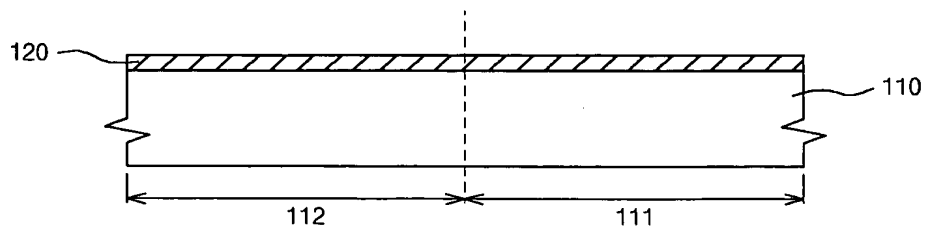
【도 1e】



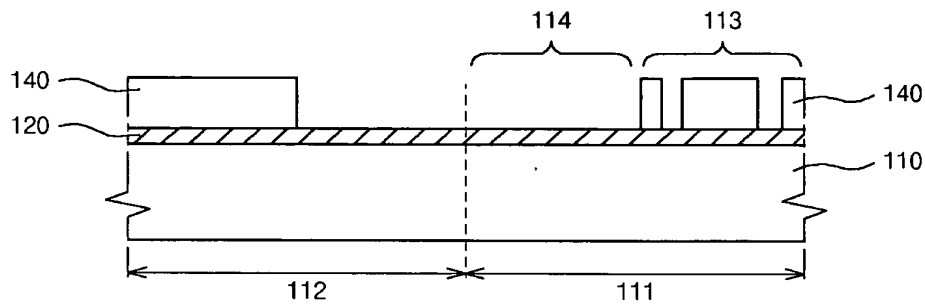
【도 1f】



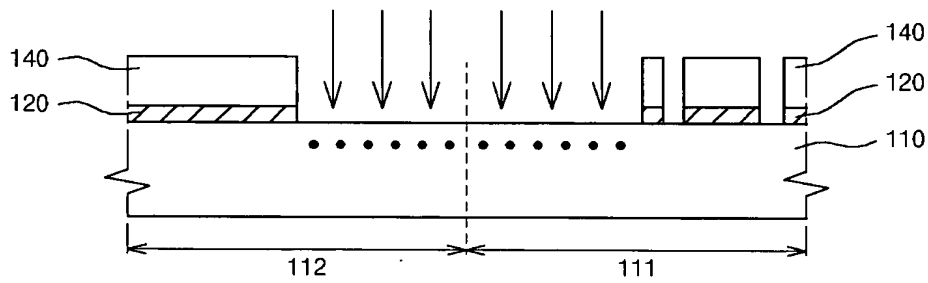
【도 2a】



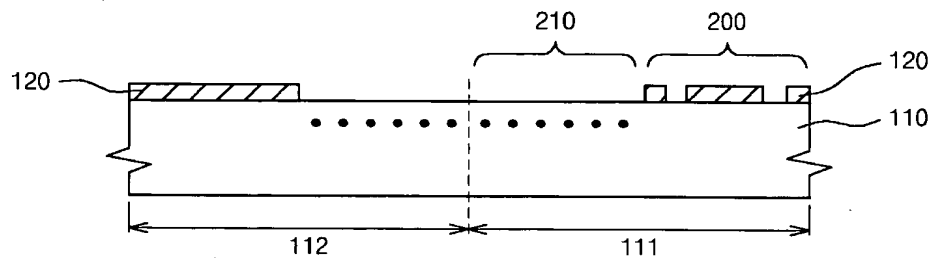
【도 2b】



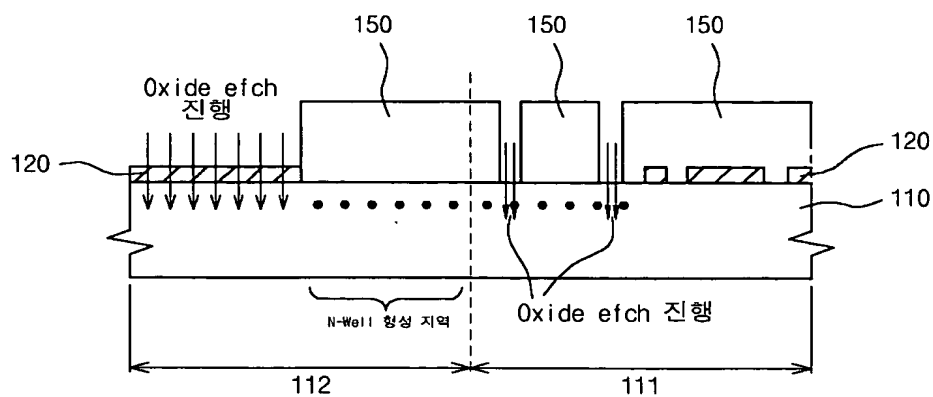
【도 2c】



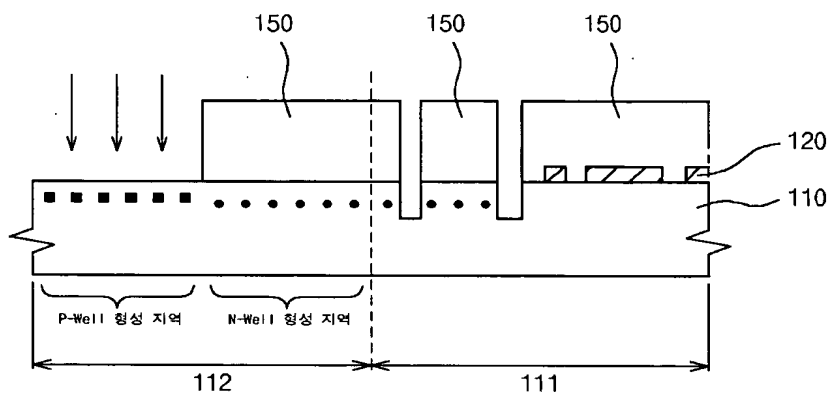
【도 2d】



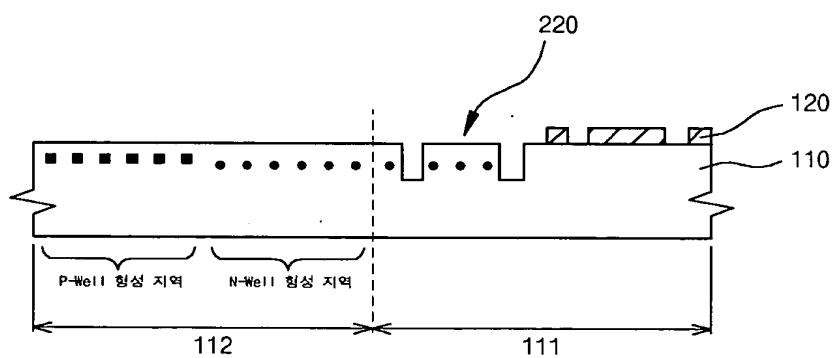
【도 2e】



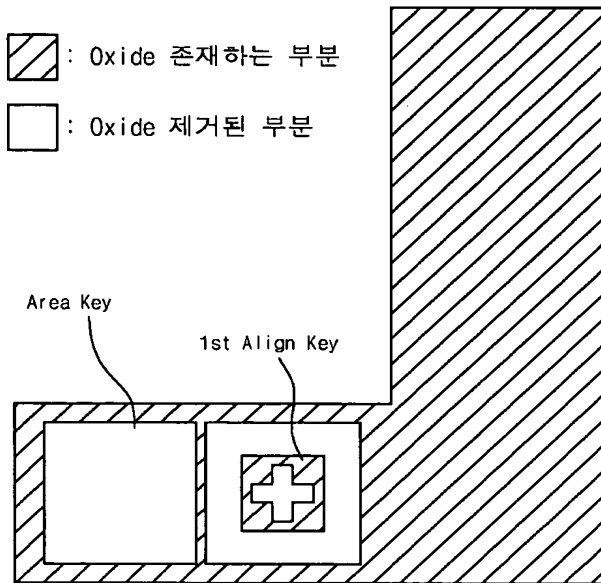
【도 2f】



【도 2g】



【도 3a】



【도 3b】

